



2841

PATENT  
Docket No. JCLA9702  
page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : JIMMY HSU et al.

Application No. : 10/065,525

Filed : October 25, 2002

For : CHIP PACKAGE STRUCTURE

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

November 21, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. **91213810** filed on **September 03, 2002**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA9702).

Date: 11/21/2002

By: Jiawei Huang  
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

50499702



RECEIVED  
DEC -3 2002

TECHNOLOGY CENTER 2800



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 09 月 03 日

Application Date

申請案號：091213810

Application No.

申請人：威盛電子股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 11 月 6 日

Issue Date

發文字號：09111021866

Serial No.

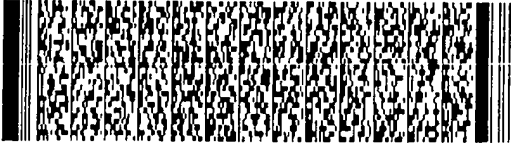
申請日期：

案號：

類別：

(以上各欄由本局填註)

# 新型專利說明書

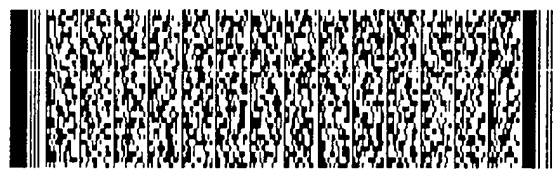
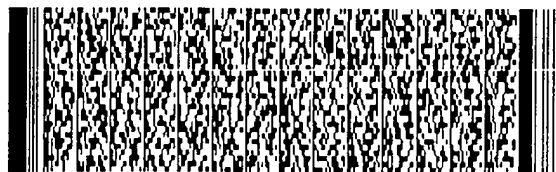
一、 新型名稱	中 文	晶片封裝結構
	英 文	Structure of Chip Package
二、 創作人	姓 名 (中文)	1. 徐鑫洲
	姓 名 (英文)	1. Jimmy Hsu
	國 籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Hsiueh-Hong WANG
		

#### 四、中文創作摘要 (創作之名稱：晶片封裝結構)

一種具有保護電路設計之晶片封裝結構，此晶片封裝結構乃是將兩成對之接地導線分別配設於一用來傳輸高頻訊號之訊號導線的兩側，使得高頻訊號於導線之內傳輸時較不易受到外界的干擾，並可提供多點接地處及較短之電流迴流迴路，同時將高頻訊號於訊號導線之內傳輸時所產生的電磁場限制在兩成對之接地導線之間，故可縮小電磁場的影響面積，並降低高頻訊號之插入損耗及返回損耗，有助於提升晶片於封裝後之電氣效能。

#### 英文創作摘要 (創作之名稱：Structure of Chip Package)

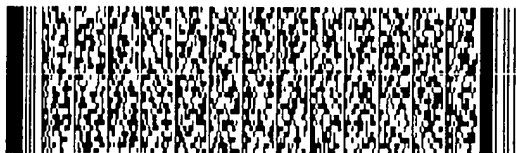
A structure of a chip package with a guard wire design is located two pairs of ground wires individually at both sides of a signal wire, which transfers high-speed signals. Therefore, the design can decrease the interference from outside to the high-speed signals when the signals are transferred along the signal wire. Besides, the design can provide many ground contacts and shorter current routes, and limit the electromagnetic field between the two pairs of



四、中文創作摘要 (創作之名稱：晶片封裝結構)

英文創作摘要 (創作之名稱：Structure of Chip Package)

ground wires to narrow the area of the electromagnetic field, which is generated from the transmission of the high-speed signals along the signal wire. Additionally, the design can lower the insertion loss and the return loss of the high-speed signals. Hence, the design can effectively raise the electrical performance of the chip package.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

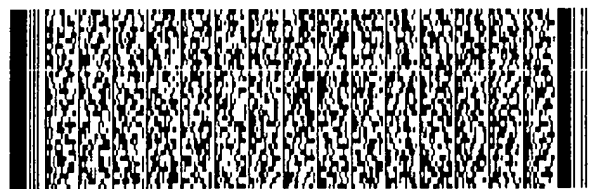
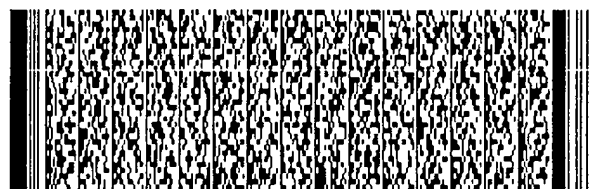
## 五、創作說明 (1)

本創作係有關於一種晶片封裝結構，且特別是有關於一種具有保護電路設計之晶片封裝結構。

隨著電子科技產業的突飛猛進，各種具有不同功能的電子產品均逐漸深入到我們的日常生活當中。一般而言，電子產品之內部都配設有積體電路 (Integrated Circuit, IC)，為了使結構脆弱的積體電路裸晶片 (die) 能受到有效的保護，並同時使積體電路裸晶片能與外界相互傳遞訊號，習知技術乃是利用「封裝 (package)」來達成上述之目的。目前已經研發出的晶片封裝技術眾多，以晶片接合技術來說，常見的晶片接合技術為打線 (Wire Bonding, W/B)、覆晶 (Flip Chip, F/C) 及捲帶式自動接合 (Tape Automatic Bonding, TAB) 等，其中又以打線 (W/B) 型態之晶片接合技術最早發展也最為成熟。

就射頻電路 (RF circuit) 及高速電路 (high speed circuit) 而言，在工作頻率及電氣效能的考量之下，射頻電路晶片 (die) 及高速電路晶片所採用的晶片封裝結構，其必須能夠提供較大的接地 (ground) 面積。因此，目前應用於射頻電路晶片及高速電路晶片之晶片封裝結構包括四方扁平無接腳 (Quad Flat No-lead, QFN) 及凸塊晶片承載器 (Bump Chip Carrier, BCC) 等型態，其中這兩種型態之晶片封裝結構均會應用到打線 (W/B) 型態之晶片接合技術。

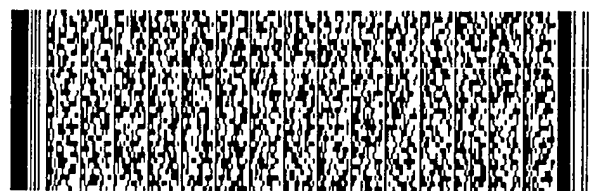
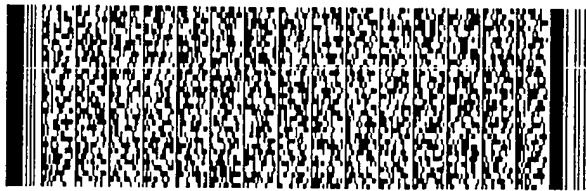
請參考第1圖，其為習知之四方扁平無接腳 (QFN) 型



## 五、創作說明 (2)

態的晶片封裝結構其剖面示意圖。晶片封裝結構100主要包括承載器110、晶片120、導線130及封膠 (molding compound) 140等。首先，承載器110包括一晶片座 (die pad) 112及多個電極凸塊114，而這些電極凸塊114係環繞於晶片座112之周圍。此外，晶片120具有一主動表面 (active surface) 122及對應之一背面123，而晶片120係以其背面123貼附於晶片座112上，其中主動表面122係泛指晶片120之具有主動元件 (active device) 的一面，且晶片120更具有多個鐳墊124，其均配置於晶片120之主動表面122。另外，部分導線130之兩端係分別連接鐳墊124及電極凸塊114之頂面的接點118，而部分導線130之兩端則分別連接鐳墊124及晶片座112之頂面的接點116。最後，封膠140包覆晶片120及導線130，並同時暴露出晶片座112之底面及電極凸塊114之底面，使得晶片120可經由晶片座112及電極凸塊114而與外界作電性連接。值得注意的是，承載器110之晶片座112除了可承載晶片120之外，更可提供較大的接地面積及散熱面積。

當射頻電路晶片或高速電路晶片採用四方扁平無接腳 (QFN) 型態之晶片封裝結構時，為了保護高頻訊號於導線之內傳遞時不會受到外界訊號的干擾，同時縮小高頻訊號於導線之內傳遞時所產生電磁場之影響面積，故可將成對之接地導線分別配設在高頻訊號導線之兩側，且分別約略平行於高頻訊號導線，用以作為高頻訊號導線之保護電路，如第2A~2D圖所示，其中第2A~2D圖依序為習知之四





#### 五、創作說明 (4)

點。並且，此對第一非訊號導線之兩端係分別連接此對第一非訊號鐸墊之一及此對第一非訊號接點之一，且此對第一非訊號導線係分別位於訊號導線之兩側。而且，此對第二非訊號導線之兩端係分別連接此對第二非訊號鐸墊之一及此對第二非訊號接點之一，且此對第二非訊號導線係分別位於訊號導線及此對第一非訊號導線之兩側。

為讓本創作之上述目的、特徵和優點能明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

#### 圖式之標示說明

100：晶片封裝結構

112：晶片座

116：接點

120：晶片

123：背面

130：導線

212：晶片座

216：接點

220：晶片

224：鐸墊

412：晶片座

416：接點

420：晶片

424：鐸墊

110：承載器

114：電極凸塊

118：接點

122：主動表面

124：鐸墊

140：封膠

214：電極凸塊

218：接點

222：主動表面

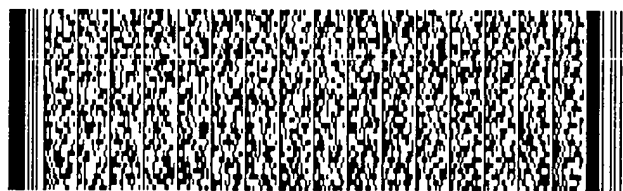
230：導線

414：電極凸塊

418：接點

422：主動表面

430：導線



#### 五、創作說明 (5)

601a ~ 601d : (習知之) 插入損耗曲線

602 : (本創作之) 插入損耗曲線

701a ~ 701d : (習知之) 返回損耗曲線

702 : (本創作之) 返回損耗曲線

800 : 晶片封裝結構

810 : 承載器

812 : 晶片承載結構

814 : 盆狀導電結構

816 : 接點

818 : 接點

820 : 晶片

822 : 主動表面

823 : 背面

824 : 鐳墊

830 : 導線

840 : 封膠

900 : 晶片封裝結構

910 : 承載器

916 : 接地環

918 : 接點

920 : 晶片

922 : 主動表面

923 : 背面

924 : 鐳墊

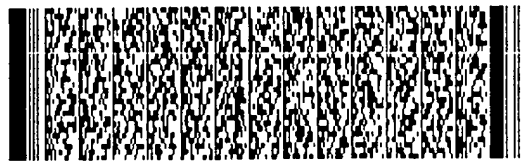
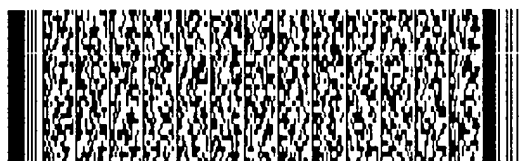
930 : 導線

940 : 封膠

#### 較佳實施例

本創作之較佳實施例將揭露一種保護電路設計，並將之應用於第1圖所示之四方扁平無接腳 (QFN) 型態的晶片封裝結構之中。值得注意的是，由於上文已針對四方扁平無接腳 (QFN) 型態之晶片封裝結構作詳述，故可參考第1圖及其相關說明，本創作之較佳實施例於下文不再重複贅述之。

請同時參考第1、4圖，其中第4圖為本創作之保護電路設計的結構示意圖。晶片420 (即第1圖之晶片120) 係貼



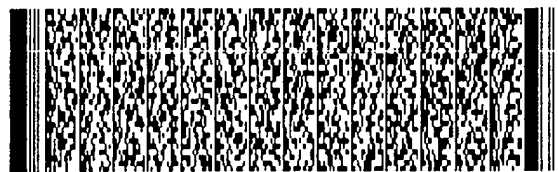
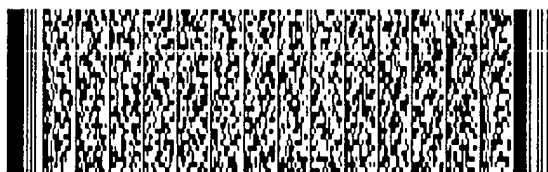
#### 五、創作說明 (7)

好的參考，同時利用兩成對之接地導線430b及接地導線430c來提供多點接地處，並利用成對之接地導線430c來提供較短的電流迴流迴路。此外，高頻訊號於訊號導線430a之內傳輸時所產生的電磁場將有效限制在兩成對之接地導線430b及接地導線430c之間，故可有效縮小電磁場的影響面積，同時降低高頻訊號之插入損耗及返回損耗，而有助於提升晶片420於封裝後的電氣效能。

為了比較出習知之四種保護電路設計與本創作之保護電路設計之間於結構及功效上的明顯差異，下文將配合相關圖式來依序簡述習知之四種保護電路設計，並將其個別與本創作之保護電路設計作比較。

請參考第2A圖，其為習知之第一種保護電路設計的結構示意圖。習知之第一種保護電路設計乃是將一成對之接地導線230b配設於訊號導線230a之兩側，並將另一成對之接地導線230c配設於訊號導線230a及成對之接地導線230b的兩側。值得注意的是，由於習知之第一種保護電路設計並未提供成對之接地導線（如第4圖之成對的接地導線430c）來連接晶片220之接地用的鐸墊224及晶片座212，因而無法提供較短的電流迴流迴路，如此將造成較大的插入損耗及返回損耗，使得高頻訊號在穿越訊號導線230a時有較為顯著的失真情形。

請參考第2B圖，其為習知之第二種保護電路設計的結構示意圖。習知之第二種保護電路設計乃是將一成對之接地導線230b配設於訊號導線230a之兩側，並將另一成對之

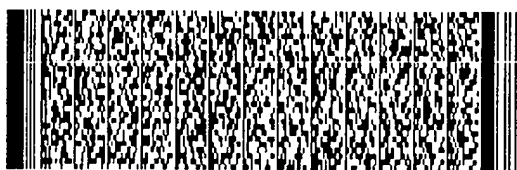


#### 五、創作說明 (8)

接地導線230c配設於訊號導線230a及成對之接地導線230b的兩側。值得注意的是，習知之第二種保護電路設計雖可提供成對之接地導線230b來連接晶片220之接地用的銲墊224及晶片座212，但亦使得成對之接地導線230c均相對遠離訊號導線230a，如此將無法有效縮小高頻訊號於訊號導線230a之內傳輸時所產生電磁場的影響面積，反而增加電磁場之影響面積，如第3B圖所示。

請參考第2C圖，其為習知之第三種保護電路設計的結構示意圖。習知之第三種保護電路設計乃是將一成對之接地導線230b配設於訊號導線230a之兩側，並將一成對之接地導線230c配設於訊號導線230a及成對之非訊號導線230b的兩側，且將一成對之接地導線230d配設於上述多條導線之兩側。值得注意的是，由於電流係經由兩成對之接地導線230b及接地導線230c而順流至外界，接著再經由晶片座212及成對之接地導線230d而逆流回晶片220，然由於兩成對之接地導線230b及接地導線230c的截面積係大於成對之接地導線230d的截面積，所以部分電流仍將經由接地導線230b或接地導線230c而逆流回晶片220，如此將相對降低兩成對之接地導線230b對於訊號導線230a的防護效果。

請參考第2D圖，其為習知之第四種保護電路設計的結構示意圖。習知之第四種保護電路設計乃是將一成對之接地導線230b配設於訊號導線230a之兩側，並將另一成對之接地導線230c配設於訊號導線230a及成對之接地導線230b的兩側。值得注意的是，由於習知之第四種保護電路設計



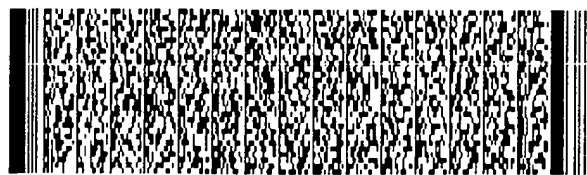
#### 五、創作說明 (9)

並未提供成對之接地導線（如第4圖之成對的接地導線430b），並將其配設於訊號導線230a之兩側，如此將無法有效縮小高頻訊號於訊號導線230a之內傳輸時所產生電磁場的影響面積，反而增加電磁場之影響面積，如第3D圖所示。

為了比較習知之四種保護電路設計與本創作之保護電路設計於不同工作頻率時其插入損耗及返回損耗的明顯差異，下文將配合相關圖式作詳細說明。

首先，請同時參考第6圖及表1，其中第6圖為習知之四種保護電路設計與本創作之保護電路設計的插入損耗之比較圖，而表1為習知之四種保護電路設計與本創作之保護電路設計的插入損耗之比較表。如第6圖所示，其中縱座標是代表插入損耗之強度（magnitude），而橫座標則是代表晶片之工作頻率（frequency），且習知之四種保護電路設計的插入損耗曲線依序為曲線601a、曲線601b、曲線601c及曲線601d，而本創作之保護電路設計的插入損耗曲線則為曲線602。值得注意的是，當高頻訊號的插入損耗越小時，那麼高頻訊號的能量損失亦將相對較小，如此將可使高頻訊號能夠較為完整地傳輸出去。

如第6圖及表1所示，當晶片之工作頻率為2.4GHz（十億赫茲）時，習知之曲線601a、曲線601b、曲線601c及曲線601d所分別對應到之插入損耗的強度依序為-0.128dB（分貝）、-0.117 dB、-0.117 dB、-0.143 dB，而本創作之曲線602所對應到之插入損耗的強度僅為-0.114

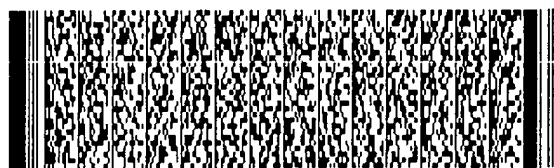
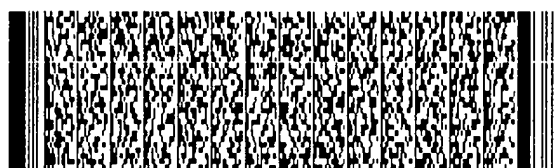


#### 五、創作說明 (10)

dB，其小於習知之曲線601a、曲線601b、曲線601c及曲線601d所分別對應到之插入損耗的強度。同樣如第6圖及表1所示，當晶片之工作頻率提升為5GHz時，習知之曲線601a、曲線601b、曲線601c及曲線601d所對應分別到之插入損耗的強度依序為 $-0.371\text{dB}$ 、 $-0.333\text{dB}$ 、 $-0.332\text{dB}$ 、 $-0.432\text{dB}$ ；而本創作之曲線602所對應到之插入損耗的強度僅為 $-0.315\text{dB}$ ，其小於習知之曲線601a、曲線601b、曲線601c及曲線601d所分別對應到之插入損耗的強度。

基於上述，在相同的工作頻率之下，由於本創作之保護電路設計所產生插入損耗的強度均小於習知之四種保護電路設計所分別產生插入損耗的強度，故本創作之保護電路設計與習知之四種保護電路設計相較之下，本創作之保護電路設計將可有效降低高頻訊號的能量損失，使得高頻訊號能夠較為完整地傳輸出去。

其次，請同時參考第7圖及表2，其中第7圖為習知之四種保護電路設計與本創作之保護電路設計的返回損耗之比較圖，而表2為習知之四種保護電路設計與本創作之保護電路設計的返回損耗之比較表。如第7圖所示，其中縱座標是代表返回損耗之強度，而橫座標則是代表晶片之工作頻率，且習知之四種保護電路設計的返回損耗曲線依序為曲線701a、曲線701b、曲線701c及曲線701d，而本創作之保護電路設計的插入損耗曲線則為曲線702。值得注意的是，當高頻訊號的返回損耗越小時，將有效降低因阻抗不



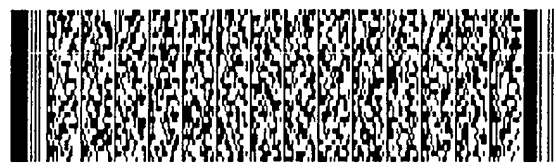
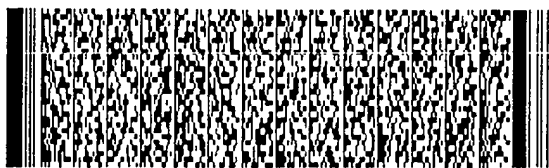
## 五、創作說明 (11)

匹配所造成的反射。

如第7圖及表2所示，當晶片之工作頻率為2.4GHz時，習知之曲線701a、曲線701b、曲線701c及曲線701d所分別對應到之返回損耗的強度依序為-18.26dB、-18.71dB、-18.71 dB、-17.17 dB，而本創作之曲線602所對應到之返回損耗的強度僅為-19.04 dB，其小於習知之曲線701a、曲線701b、曲線701c及曲線701d所分別對應到之返回損耗的強度。同樣如第7圖及表2所示，當晶片之工作頻率提升為5GHz時，習知之曲線701a、曲線701b、曲線701c及曲線701d所對應分別到之返回損耗的強度依序為-12.22dB、-12.73 dB、-12.73 dB、-11.28dB，而本創作之曲線602所對應到之返回損耗的強度僅為-13.79 dB，其小於習知之曲線701a、曲線701b、曲線701c及曲線701d所分別對應到之返回損耗的強度。

基於上述，在相同的工作頻率之下，由於本創作之保護電路設計所產生返回損耗的強度均小於習知之四種保護電路設計所分別產生返回損耗的強度，故本創作之保護電路設計與習知之四種保護電路設計相較之下，本創作之保護電路設計將可有效減少高頻訊號的返回損耗，進而有效降低因阻抗不匹配所造成的反射。

然而，本創作之較佳實施例的保護線路設計除了可應用在四方扁平無接腳（QFN）型態之晶片封裝結構以外，亦可應用在凸塊晶片承載器（BCC）型態之晶片封裝結構（如第8圖所示），以及採用打線（W/B）製程之基板

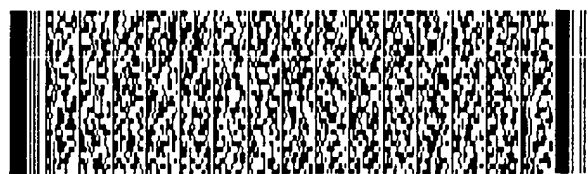
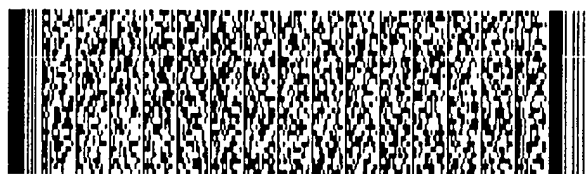


#### 五、創作說明 (12)

(substrate) 型態的晶片封裝結構 (如第9圖所示)，或是其他採用打線 (W/B) 製程之承載器的晶片封裝結構。接下來，下文將配合相關圖式來簡述本創作之保護電路設計可應用之凸塊晶片承載器 (BCC) 型態的晶片封裝結構及採用打線 (W/B) 製程之基板型態的晶片封裝結構。

首先，請參考同時參考第1、8圖，其中第8圖為另一種可應用本創作之保護電路設計的晶片封裝結構其剖面示意圖。晶片封裝結構800係為凸塊晶片承載器 (BCC) 型態之晶片封裝結構，由於晶片封裝結構800與晶片封裝結構100之間最顯著的差異係在於承載器810與承載器110的結構不同，故以下僅就晶片封裝結構800之承載器810來作詳細說明。首先，晶片封裝結構800之承載器810主要包括一晶片承載結構812及多個盆狀導電結構814，而這些盆狀導電結構814係環繞於晶片承載結構812之周圍。此外，晶片承載結構812係用以讓晶片820之背面823貼附其上，並提供較大的接地面積及散熱面積，且晶片承載結構812之頂面係構成接點816，其作用與第1圖之接點116相同，用以連接導線830之一端。另外，盆狀導電結構814之內面則構成接點818，其作用係與第1圖之接點118相同，用以連接導線830之一端。並且封膠840包覆晶片820及導線830，且部分封膠840係填充於盆狀導電結構814之內面所圍成的空間，而晶片承載結構212之底面及盆狀導電結構214之底面更裸露於封膠840之外。

其次，請參考第9圖，其為又一種可應用本創作之保護

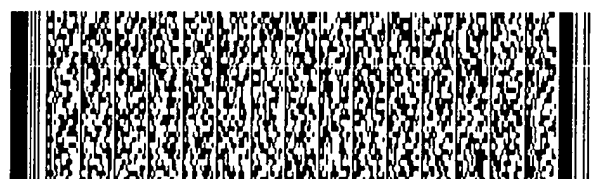
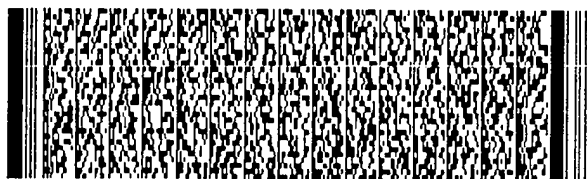




#### 五、創作說明 (13)

電路設計的晶片封裝結構其剖面示意圖。晶片封裝結構900主要包括基板910、晶片920、導線930及封膠940等。基板910之頂面具有一接地環（或電源環）916，其環繞於晶片920之外圍，且接地環（或電源環）916係用以構成作為接地用（或電源用）之多個接點，其與第1圖之晶片座112所構成的接點116具有共同接地（或共同電源）的功能。此外，基板910之頂面更具有多個接點918，其配置於基板910之頂面，且這些接點918係環繞於晶片920之外圍，並較接地環（或電源環）916相對遠離晶片920，而這些接點918之作用與第1圖之接點118相同。另外，晶片920係以其背面923貼附於基板910之頂面，故基板910即是作為晶片920之承載器，且晶片920之主動表面922更配置有多個鉑墊924，而部分導線930之兩端分別連接鉑墊924之一及接地環（或電源環）916之一，且部分導線930之兩端則分別連接鉑墊924之一及接點918之一，而封膠940則包覆晶片920及導線930。

值得注意的是，本創作之較佳實施例除了利用成對之接地導線來縮小高頻訊號於傳輸時所產生的電磁場影響之外，亦可利用成對之電源導線來取代上述成對之接地導線，因而達到相同的功效，此時須對應改變接地鉑墊為電源鉑墊，且對應改變接地接點為電源接點。因此，本創作之保護電路設計乃是將兩成對之「非訊號」導線（即成對之接地導線或成對之電源導線）分別配設於訊號導線之兩側。此外，本創作之較佳實施例所提到之高頻訊號大致上



## 圖式簡單說明

第1圖為習知之四方扁平無接腳 (QFN) 型態的晶片封裝結構其剖面示意圖；

第2A~2D圖為習知之四種保護電路設計的結構示意圖；

第3A~3D圖分別為對應第2A~2D圖之四種保護電路設計的電磁場分佈示意圖；

第4圖為本創作之保護電路設計的結構示意圖；

第5圖為第4圖之保護電路設計的電磁場分佈示意圖；

第6圖為習知之四種保護電路設計與本創作之保護電路設計的插入損耗之比較圖；

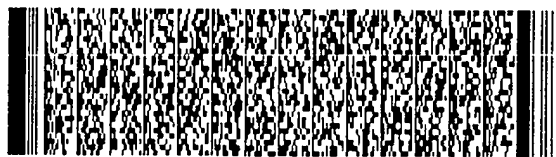
第7圖為習知之四種保護電路設計與本創作之保護電路設計的返回損耗之比較圖；

第8圖為另一種可應用本創作之保護電路設計的晶片封裝結構其剖面示意圖；

第9圖為又一種可應用本創作之保護電路設計的晶片封裝結構其剖面示意圖；

表1為習知之四種保護電路設計與本創作之保護電路設計的插入損耗之比較表；以及

表2為習知之四種保護電路設計與本創作之保護電路設計的返回損耗之比較表。



## 六、申請專利範圍

### 1. 一種晶片封裝結構，至少包括：

一承載器，至少具有一訊號接點、一對第一非訊號接點及一對第二非訊號接點，其中該訊號接點、該對第一非訊號接點及該對第二非訊號接點均配置於該承載器之表面，且該對第二非訊號接點係彼此電性連接，並且該對第二非訊號接點係較該訊號接點及該對第一非訊號接點更接近該晶片；

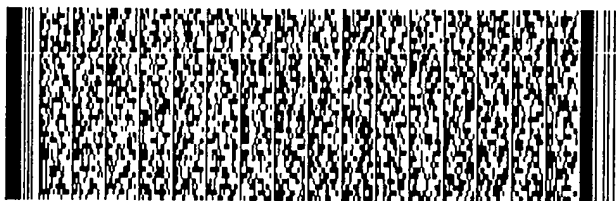
一晶片，具有一主動表面及對應該主動表面之一背面，其中該晶片係以該背面配置於該承載器之表面，而該晶片更具有一訊號鐸墊、一對第一非訊號鐸墊及一對第二非訊號鐸墊，且該訊號鐸墊、該對第一非訊號鐸墊及該對第二非訊號鐸墊均配置於該晶片之該主動表面；

一訊號導線，該訊號導線之兩端係分別連接該訊號鐸墊及該訊號接點；

一對第一非訊號導線，每一該對第一非訊號導線之兩端係分別連接該對第一非訊號鐸墊之一及該對第一非訊號接點之一，且該對第一非訊號導線係分別位於該訊號導線之兩側；以及

一對第二非訊號導線，每一該對第二非訊號導線之兩端係分別連接該對第二非訊號鐸墊之一及該對第二非訊號接點之一，且該對第二非訊號導線係分別位於該訊號導線及該對第一非訊號導線之兩側。

2. 如申請專利範圍第1項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號



#### 六、申請專利範圍

導線及該對第二非訊號導線。

3. 如申請專利範圍第1項所述之晶片封裝結構，其中該對第一非訊號接點係為接地接點，而該對第一非訊號鐳墊係為接地鐳墊，且該對第一非訊號導線係為接地導線。

4. 如申請專利範圍第1項所述之晶片封裝結構，其中該對第一非訊號接點係為電源接點，而該對第一非訊號鐳墊係為電源鐳墊，且該對第一非訊號導線係為電源導線。

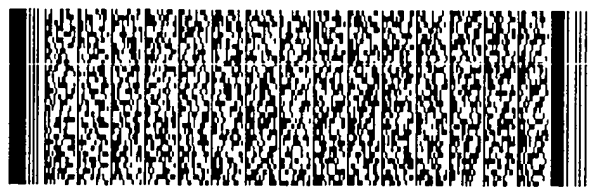
5. 如申請專利範圍第1項所述之晶片封裝結構，其中該對第二非訊號接點係為接地接點，而該對第二非訊號鐳墊係為接地鐳墊，且該對第二非訊號導線係為接地導線。

6. 如申請專利範圍第5項所述之晶片封裝結構，其中該承載器更具有一接地環，其配置於該承載器之表面，而該接地環之部分係構成該對第二非訊號接點。

7. 如申請專利範圍第1項所述之晶片封裝結構，其中該對第二非訊號接點係為電源接點，而該對第二非訊號鐳墊係為電源鐳墊，且該對第二非訊號導線係為電源導線。

8. 如申請專利範圍第7項所述之晶片封裝結構，其中該承載器更具有一電源環，其配置於該承載器之表面，而該電源環之部分係構成該對第二非訊號接點。

9. 如申請專利範圍第1項所述之晶片封裝結構，其中該承載器包括一晶片座及複數個電極凸塊，且該些電極凸塊係環繞於該晶片座之周圍，而該晶片係配置於該晶片座之頂面，且該晶片座之頂面係構成該些第二非訊號接點，而部分該些電極凸塊之頂面係分別構成該訊號接點及該對



## 六、申請專利範圍

### 第一非訊號接點。

10. 如申請專利範圍第9項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號導線及該對第二非訊號導線。

11. 如申請專利範圍第10項所述之晶片封裝結構，其中該晶片座之底面係裸露於該封膠之外。

12. 如申請專利範圍第10項所述之晶片封裝結構，其中該些電極凸塊之底面係裸露於該封裝之外。

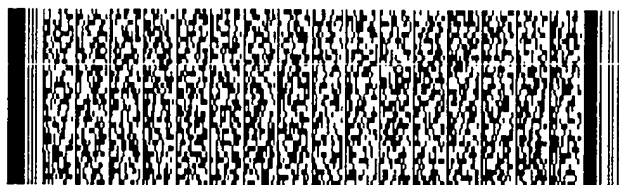
13. 如申請專利範圍第1項所述之晶片封裝結構，其中該承載器包括一晶片承載結構及複數個盆狀導電結構，且該些盆狀導電結構係環繞於該晶片承載結構之周圍，而該晶片係配置於該晶片承載結構之頂面，且該晶片承載結構之頂面係構成該些第二非訊號接點，而部分該些盆狀導電結構之內面係分別構成該訊號接點及該對第一非訊號接點。

14. 如申請專利範圍第13項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號導線及該對第二非訊號導線，且該封膠之部分係填充於該些盆狀導電結構之內面所圍成的空間。

15. 如申請專利範圍第14項所述之晶片封裝結構，其中該晶片承載結構之底面係裸露於該封膠之外。

16. 如申請專利範圍第14項所述之晶片封裝結構，其中該些盆狀導電結構之底面係裸露於該封膠之外。

17. 一種晶片封裝結構，至少包括：



#### 六、申請專利範圍

一 承載器，具有複數個第一接點及複數個第二接點，其中該些第一接點及該些第二接點均配置於該承載器之表面，且該些第二接點係彼此電性連接，並且該些第二接點係較該些第一接點更接近該晶片；

一 晶片，具有一主動表面及相對於該主動表面之一背面，其中該晶片係以該背面配置於該承載器之表面，而該晶片更具有複數個鐸墊，且該些鐸墊均配置於該晶片之該主動表面；

一 訊號導線，該訊號導線之兩端係分別連接該些鐸墊之一及該些第一接點之一；

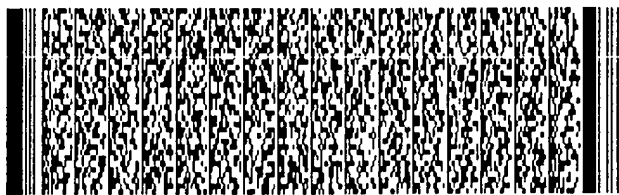
一 對第一非訊號導線，每一該對第一非訊號導線之兩端係分別連接該些鐸墊之一及該些第一接點之一，且該對第一非訊號導線係分別位於該訊號導線之兩側；以及

一 對第二非訊號導線，每一該對第二非訊號導線之兩端係分別連接該些鐸墊之一及該些第二接點之一，且該對第二非訊號導線係分別位於該訊號導線及該對第一非訊號導線之兩側。

18. 如申請專利範圍第17項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號導線及該對第二非訊號導線。

19. 如申請專利範圍第17項所述之晶片封裝結構，其中該對第一非訊號導線係為接地導線。

20. 如申請專利範圍第17項所述之晶片封裝結構，其中該對第一非訊號導線係為電源導線。



#### 六、申請專利範圍

21. 如申請專利範圍第17項所述之晶片封裝結構，其中該對第二非訊號導線係為接地導線。

22. 如申請專利範圍第21項所述之晶片封裝結構，其中該承載器更具有一接地環，其配置於該承載器之表面，而該接地環之部分係構成該些第二接點。

~~23. 如申請專利範圍第17項所述之晶片封裝結構，其中該對第二非訊號導線係為電源導線。~~

24. 如申請專利範圍第23項所述之晶片封裝結構，其中該承載器更具有一電源環，其配置於該承載器之表面，而該電源環之部分係構成該些第二接點。

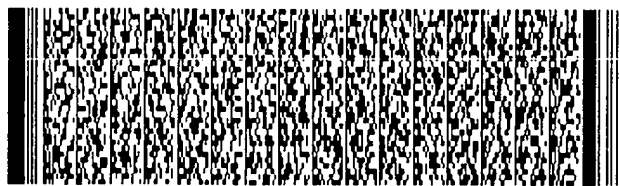
25. 如申請專利範圍第17項所述之晶片封裝結構，其中該承載器包括一晶片座及複數個電極凸塊，且該些電極凸塊係環繞於該晶片座之周圍，而該晶片係配置於該晶片座之頂面，且該晶片座之頂面係構成該些第二接點，而部分該些電極凸塊之頂面係分別構成該些第一接點。

26. 如申請專利範圍第25項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號導線及該對第二非訊號導線。

27. 如申請專利範圍第26項所述之晶片封裝結構，其中該晶片座之底面係裸露於該封膠之外。

28. 如申請專利範圍第26項所述之晶片封裝結構，其中該些電極凸塊之底面係裸露於該封裝之外。

29. 如申請專利範圍第17項所述之晶片封裝結構，其中該承載器包括一晶片承載結構及複數個盆狀導電結構，



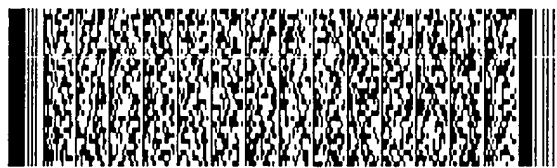
#### 六、申請專利範圍

且該些盆狀導電結構係環繞於該晶片承載結構之周圍，而該晶片係配置於該晶片承載結構之頂面，且該晶片承載結構之頂面係構成該些第二接點，而部分該些盆狀導電結構之內面係分別構成該些第一接點。

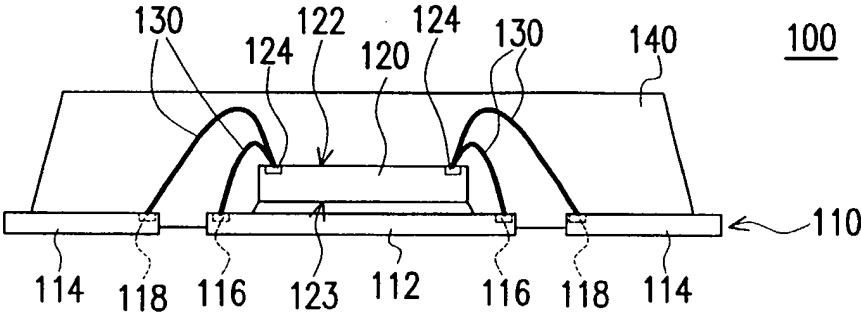
30. 如申請專利範圍第17項所述之晶片封裝結構，更包括一封膠，其包覆該晶片、該訊號導線、該對第一非訊號導線及該對第二非訊號導線，且部分該封膠係填充於該些盆狀導電結構之內面所圍成的空間。

31. 如申請專利範圍第30項所述之晶片封裝結構，其中該晶片承載結構之底面係裸露於該封膠之外。

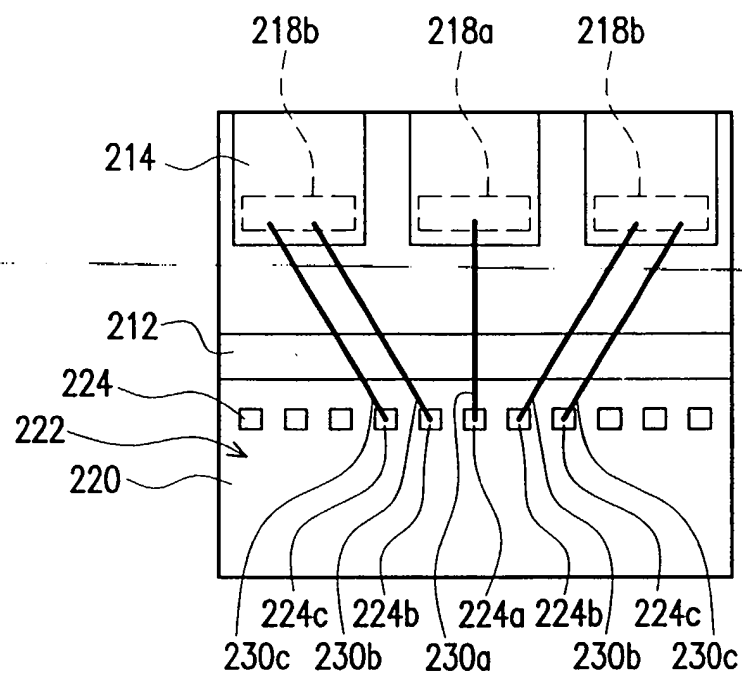
32. 如申請專利範圍第30項所述之晶片封裝結構，其中該些盆狀導電結構之底面係裸露於該封膠之外。



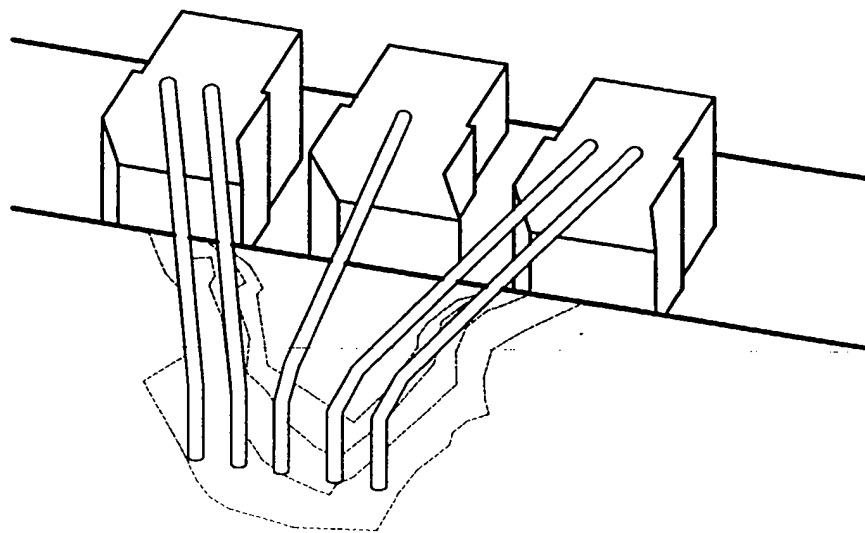




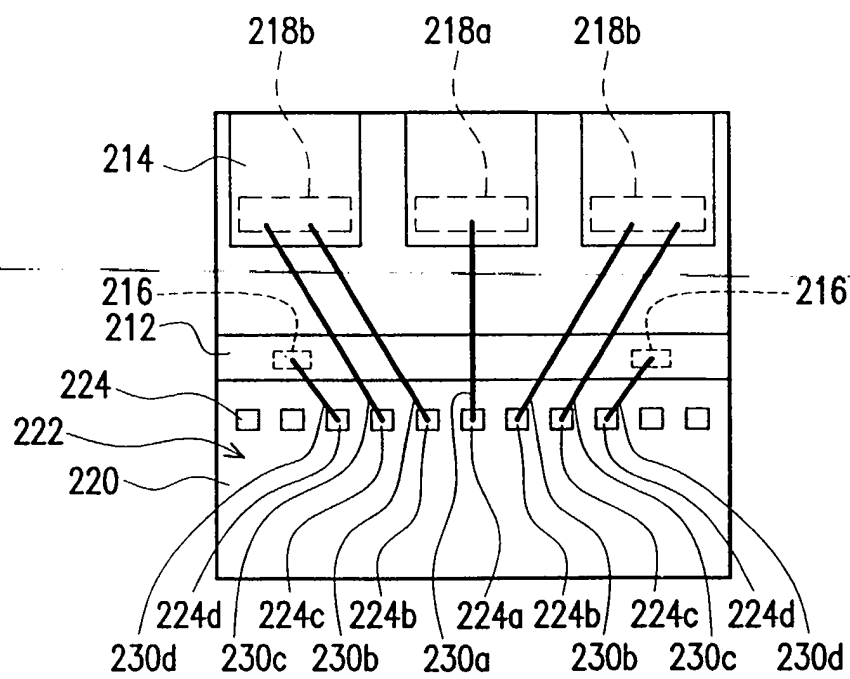
第 1 圖



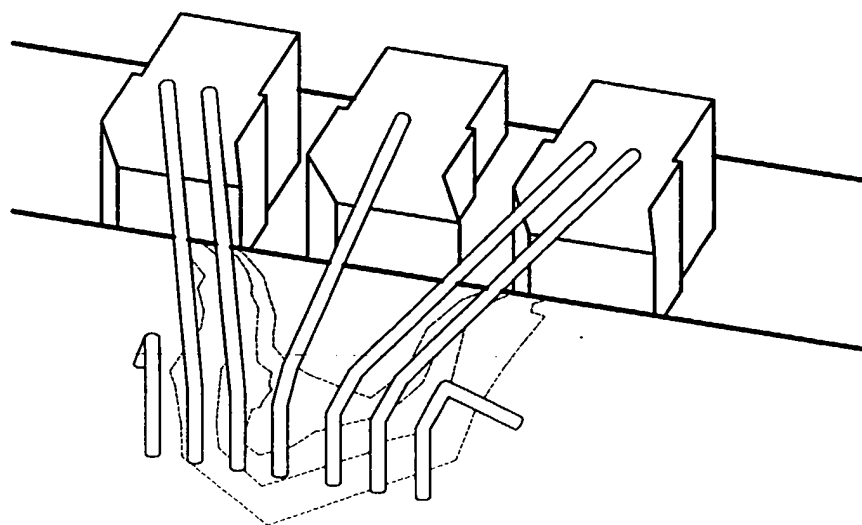
第 2A 圖



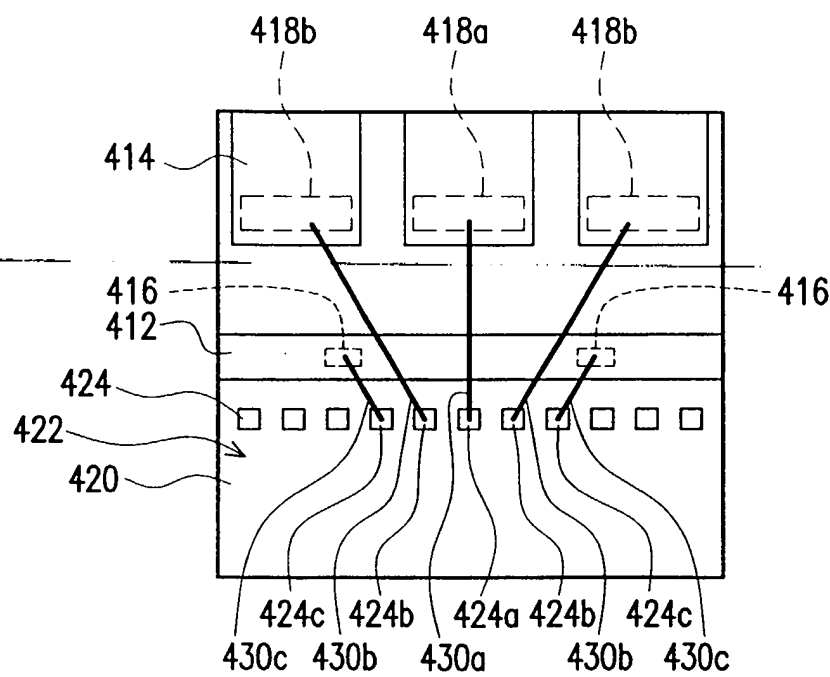
第 3A 圖



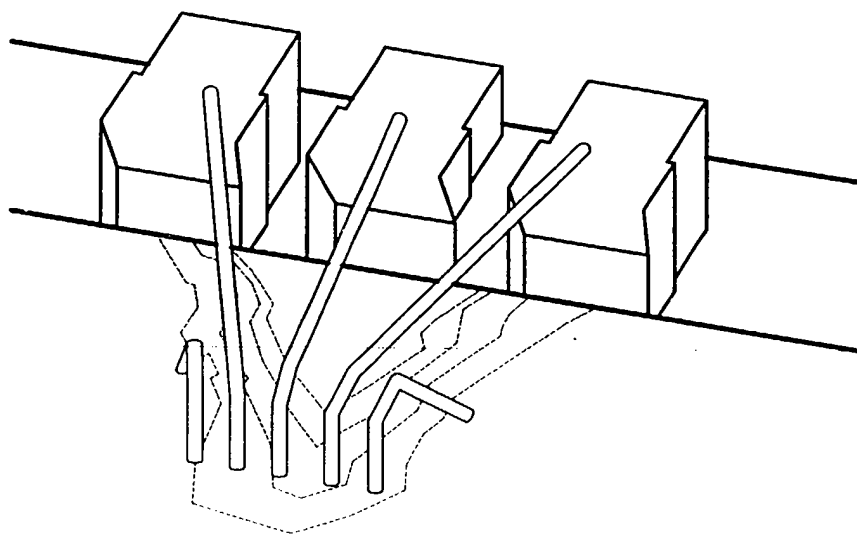
第 2C 圖



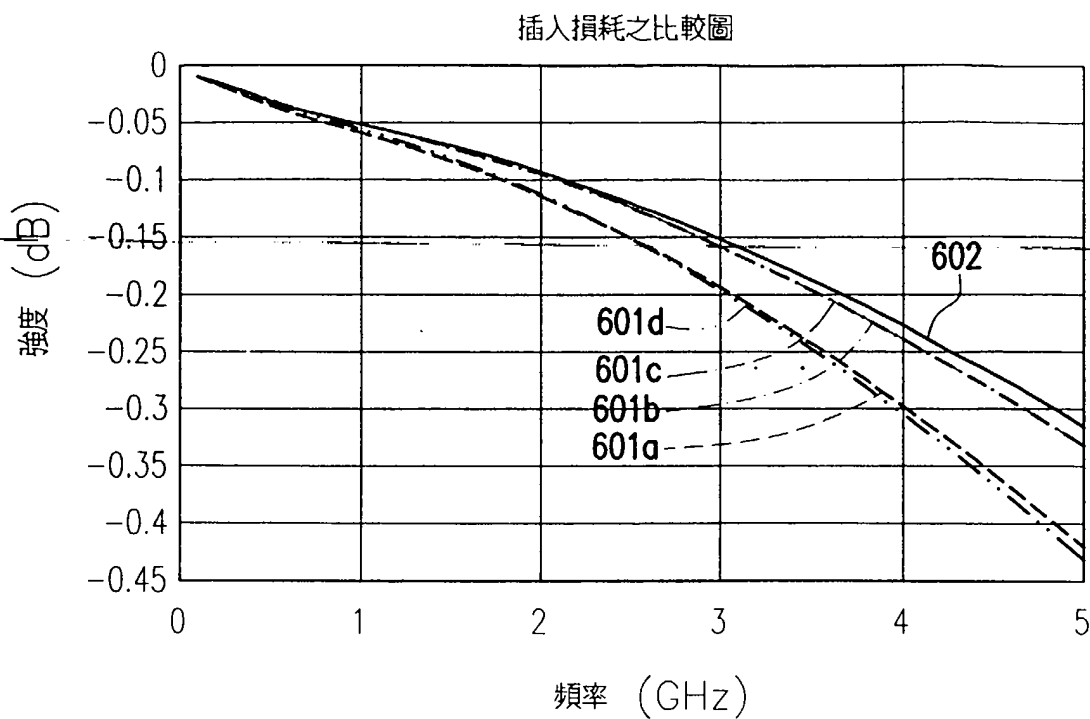
第 3C 圖



第 4 圖



第 5 圖

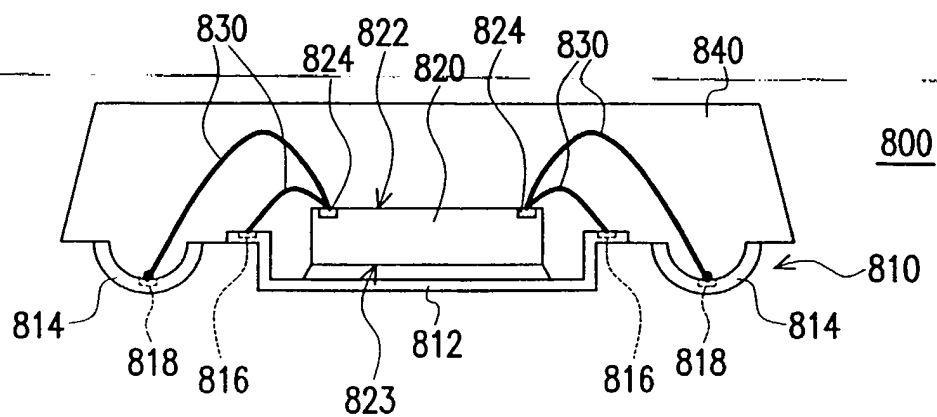


第 6 圖

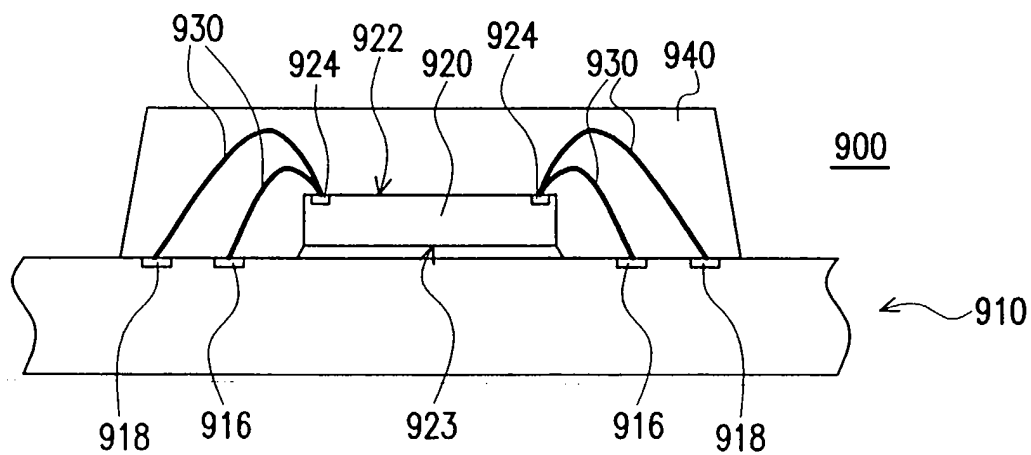
表 一

插入損耗之比較表

插入損耗 (dB)	2.4GHz	5GHz
習知之第一種保護電路設計	-0.128	-0.371
習知之第二種保護電路設計	-0.117	-0.333
習知之第三種保護電路設計	-0.117	-0.332
習知之第四種保護電路設計	-0.143	-0.432
本發明之保護電路設計	-0.114	-0.315

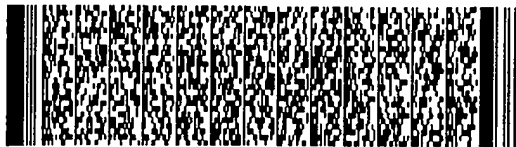


第 8 圖

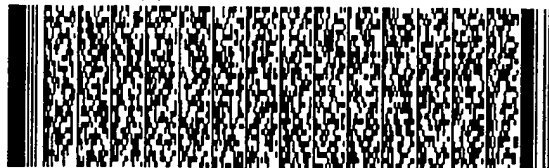


第 9 圖

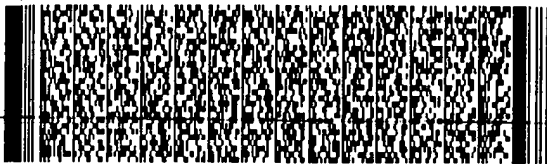
第 1/25 頁



第 2/25 頁



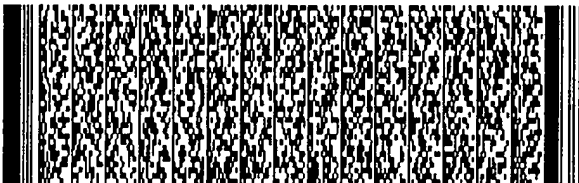
第 2/25 頁



第 3/25 頁



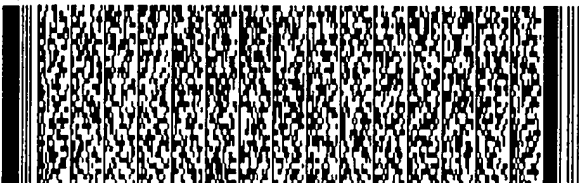
第 5/25 頁



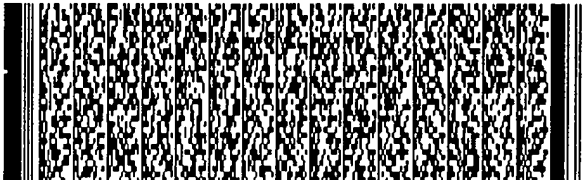
第 5/25 頁



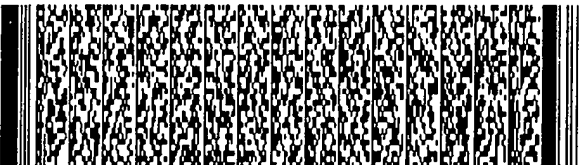
第 6/25 頁



第 6/25 頁



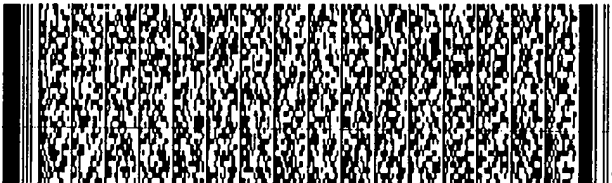
第 7/25 頁



第 7/25 頁



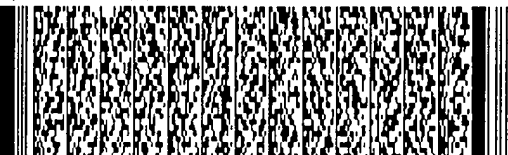
第 8/25 頁



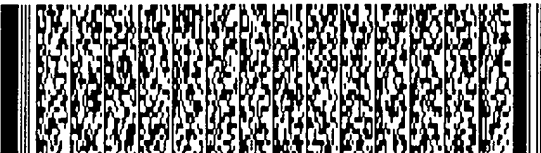
第 9/25 頁



第 9/25 頁



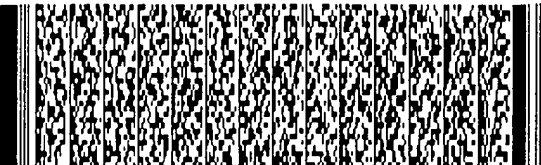
第 10/25 頁



第 10/25 頁




第 11/25 頁





A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a noisy, textured appearance. The overall effect is reminiscent of a high-contrast, grainy image or a complex digital noise pattern.

\_\_\_\_\_



\_\_\_\_\_

1000

\_\_\_\_\_

**Figure 1.** A schematic diagram illustrating the experimental design. The figure shows a sequence of events starting from a participant's arrival at the laboratory. The participant is first informed about the experiment and then given a practice trial. This is followed by three main trials, each consisting of a stimulus presentation phase and a response phase. The trials are labeled as Trial 1, Trial 2, and Trial 3. The final trial is labeled as Trial N. The diagram also indicates the timing of the stimuli and responses, showing that the response occurs after the stimulus presentation.

[illegible]

100

100